

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-231534

(43)Date of publication of application : 22.08.2000

(51)Int.Cl.

G06F 13/16
G06F 13/00

(21)Application number : 2000-012794

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 21.01.2000

(72)Inventor : DELL TIMOTHY J
STEVEN A GRANDON
MARK W KELLOGG

(30)Priority

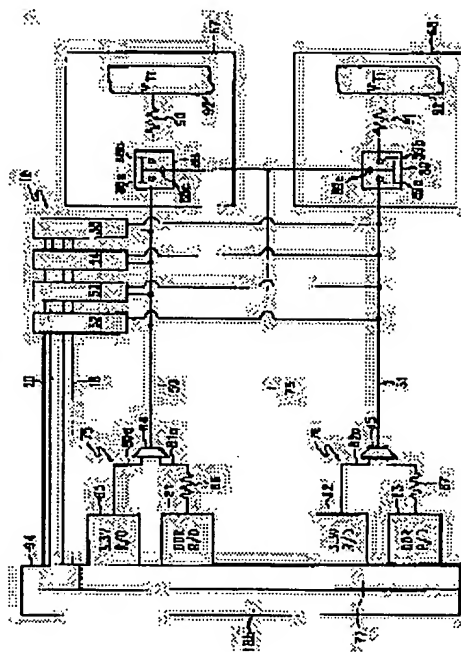
Priority number : 99 240647 Priority date : 29.01.1999 Priority country : US

(54) PLURAL MEMORY STORAGE DEVICES AND DATA BUS STRUCTURE TO BE USED TOGETHER WITH DRIVER/RECEIVER TECHNIQUE AND METHOD FOR OPERATING THE SAME STRUCTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a single memory system which can be applied to either a 3.3V DIM or a DDR DIMM by allowing a data storage device to selectively apply each termination to each data inquiry line as necessary.

SOLUTION: A DIM identifying circuit means 77 is provided in a memory controller 16b for identifying the kind of a DIMM inserted into a memory 10, and for transmitting a switch activation pulse through a strobe line 78 to termination boards 67 and 68 when it is judged that a DDR DIMM is inserted into the memory 10. The DIMM is provided with an identifying means such as a PROM circuit to be integrated into each DIMM at the time of manufacturing regardless of the kind of the DIMM, that is, 3.3V DIMM or DDR DIMM. Therefore, the kind of the DIMM inserted into the memory 10, that is, 3.3V DIMM or DDR DIMM can be identified by the DIMM identifying circuit means 77.



LEGAL STATUS

[Date of request for examination] 21.01.2000

[Date of sending the examiner's decision of rejection] 22.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]



Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-231534
(P2000-231534A)

(43)公開日 平成12年8月22日(2000.8.22)

(51)Int.Cl.⁷

G 0 6 F 13/16
3/00

識別記号

5 1 0

F I

G 0 6 F 13/16
3/00

テマコード*(参考)

5 1 0 A
K

審査請求 有 請求項の数17 O L (全 12 頁)

(21)出願番号 特願2000-12794(P2000-12794)

(22)出願日 平成12年1月21日(2000.1.21)

(31)優先権主張番号 09/240647

(32)優先日 平成11年1月29日(1999.1.29)

(33)優先権主張国 米国 (US)

(71)出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 ティモシー・ジェイ・デル

アメリカ合衆国05446 バーモント州コル
チェスター パークウッド・ドライブ9

(74)代理人 100086243

弁理士 坂口 博 (外1名)

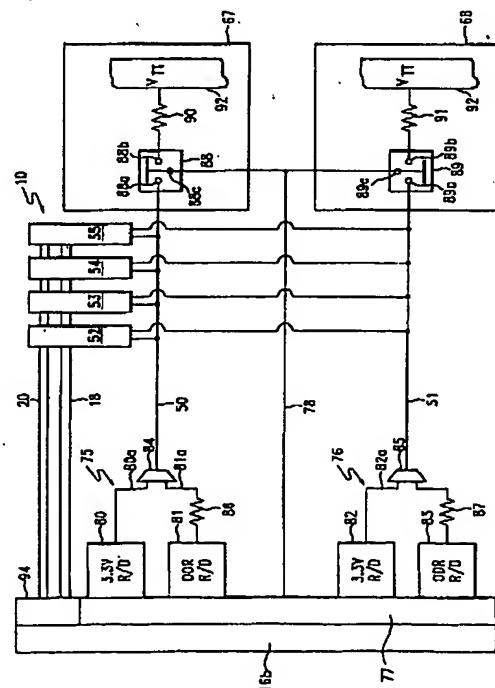
最終頁に続く

(54)【発明の名称】 複数のメモリ記憶装置およびドライバ・レシーバ技術と共に使用するためのデータ・バス構造およびそのような構造を動作させる方法

(57)【要約】

【課題】 電子データ記憶システムに関し、具体的には、選択的に終端を設けることができ、これによって、データ記憶メモリに、データ問合せ線が開放端すなわち終端なしであることを必要とするモジュールまたはデータ・バスが終端されることを必要とするモジュールのいずれかを使用することができるようにするデータ・バスを設けられた電子データ記憶システムを提供することにある。

【解決手段】 これは、(3.3V)レシーバ/ドライバ回路とダブル・レート(DDR)レシーバ/ドライバ回路の両方を有する、メモリ記憶システム内で使用されるプロセッサ回路と、メモリ・システム内でそれに結合されたD I M Mの種類を識別するための手段と、識別されたD I M Mのアクセスに必要なレシーバ/ドライバ回路を選択するための手段と、選択されたレシーバ/ドライバ回路を識別されたD I M Mに相互接続するデータ問合せ線に終端を追加または除去するための手段とを提供することによって達成される。



【特許請求の範囲】

【請求項 1】データ・バスを介してデータ記憶メモリ・デバイスにアクセスするためのデータ記憶システムであって、

メモリ記憶装置と、

前記メモリ記憶装置を挿入された複数のデータ記憶装置と、

メモリ・コントローラと、

前記メモリ・コントローラを前記データ記憶装置に結合する複数のデータ問合せ線を含むデータ・バスと、

複数のデータ線終端と、

前記メモリ記憶装置を挿入された前記データ記憶装置が必要とする時に前記データ問合せ線のうちのそれぞれの 1 つに前記終端のそれぞれの 1 つを選択的に適用するために前記メモリ・コントローラに結合された手段とを含むデータ記憶システム。

【請求項 2】前記終端が前記データ問合せ線に結合される時に、前記データ問合せ線の電圧レベルを変更するために、前記データ問合せ線のそれぞれの 1 つに結合された前記終端に結合された電圧手段をさらに設けられる、請求項 1 に記載のデータ記憶システム。

【請求項 3】前記メモリ・コントローラを前記データ記憶装置に結合するアドレス・バスおよびコマンド・バスと、

前記データ・バス、アドレス・バスおよびコマンド・バスの電圧レベルを変更するための手段とをさらに設けられる、請求項 1 に記載のデータ記憶システム。

【請求項 4】前記メモリ・コントローラが、複数のレシーバ／ドライバ回路の組と、前記データ記憶システム内のビット記憶デバイスの種類を判定するための手段とを結合される請求項 3 に記載のデータ記憶システム。

【請求項 5】前記レシーバ／ドライバ回路の各組が、1 組のレシーバ／ドライバ回路を含み、前記組の一方のレシーバ／ドライバ回路が、3.3V D I M M と共に動作するために設計され、前記組の他方のレシーバ／ドライバ回路が、DDR D I M M と共に動作するために設計される請求項 4 に記載のデータ記憶システム。

【請求項 6】各データ問合せ線が、前記データ記憶システム内のそれぞれのビット記憶デバイスと、選択回路を介してレシーバ／ドライバ回路のそれぞれの組と、スイッチを介して並列線終端とに結合される請求項 4 に記載のデータ記憶システム。

【請求項 7】前記レシーバ／ドライバ回路の各組が、選択回路を介してそれぞれのデータ問合せ線に結合される請求項 5 に記載のデータ記憶システム。

【請求項 8】各選択回路が、マルチプレクサである請求項 7 に記載のデータ記憶システム。

【請求項 9】各選択回路が、比較器である請求項 7 に記載のデータ記憶システム。

【請求項 10】前記メモリ・コントローラが、

データ問合せ線を介して前記メモリに結合された、複数の低電圧レシーバ／ドライバ回路およびダブル・レート・レシーバ／ドライバ回路の両方と、

前記メモリ内の D I M M の種類を識別するための手段と、

前記識別された D I M M にアクセスするために、低電圧レシーバ／ドライバ回路またはダブル・レート・レシーバ／ドライバ回路のいずれかを選択するための手段と、

前記選択されたレシーバ・ドライバ回路を識別された D I M M に相互接続する前記データ問合せ線に、前記識別された D I M M が終端を必要とする時に、終端を追加または除去するための手段とを含む請求項 3 に記載のデータ記憶システム。

【請求項 11】データ・バスを介してデータ記憶メモリ・デバイスにアクセスするためのデータ記憶システムであって、

メモリ記憶装置と、

選択されたデータ・インターフェース電圧レベルを有し、前記メモリ記憶装置を挿入された複数のデータ記憶装置と、

メモリ・コントローラと、

複数の並列終端と、

前記メモリ・コントローラに結合された複数のレシーバ／ドライバ回路と、

前記レシーバ／ドライバ回路と前記データ記憶装置との間に結合された複数のデータ問合せ線を含むデータ・バスと、

近端をそれぞれのレシーバ・ドライバに結合され、遠端を前記データ記憶装置に結合された、前記複数のデータ問合せ線のデータ問合せ線のそれぞれと、

終端が前記メモリ記憶装置を挿入された前記メモリ記憶装置によって要求された時に、前記データ問合せ線のそれぞれの遠端にそれぞれの並列終端を選択的に適用するために前記メモリ・コントローラに結合された手段とを含むデータ記憶システム。

【請求項 12】複数のデータ記憶メモリ・モジュールからなるメモリと、

メモリ・コントローラと、

前記データ記憶モジュールと前記メモリ・コントローラとの間に結合された複数のデータ問合せ線からなるデータ・バスと、

前記データ問合せ線に終端を選択的に提供し、これによって、前記データ記憶メモリ・モジュールが、前記データ問合せ線が開放端であることを必要とするモジュールまたは前記データ・バスが終端されることを必要とするモジュールのいずれかを使用することを可能にするための手段とを含むデータ記憶システム。

【請求項 13】前記メモリ・コントローラが、レシーバ／ドライバ回路の複数の組を含み、

レシーバ／ドライバ回路の各組が、第 1 のレシーバ／ド

ライバ回路と第 2 のレシーバ／ドライバ回路とを含み、前記メモリ・コントローラが、前記データ記憶システム内でそれに結合された D I M M の種類を識別するための手段と、

前記識別された D I M M へのアクセスのために必要な、レシーバ／ドライバ回路の各組の前記第 1 のレシーバ／ドライバ回路またはレシーバ／ドライバ回路の各組の前記第 2 のレシーバ／ドライバ回路のいずれかを選択するための、レシーバ／ドライバ回路の各組に結合された手段と、

前記データ問合せ線上の終端を必要とする記憶装置に前記データ記憶システムがアクセスできるようにするために、前記データ問合せ線に終端を追加するための手段とを含む請求項 1 1 に記載のデータ記憶システム。

【請求項 1 4】前記メモリ・コントローラが、さらに、前記メモリに結合された、アドレス・バスおよび制御バスと、

異なる電圧レベルにセットすることのできるアドレス・バスおよび制御バス・ドライバと、各組が 3 . 3 V D I M M レシーバ／ドライバおよび D D R D I M M レシーバ／ドライバを含むレシーバ／ドライバ回路の組と、前記メモリに挿入された記憶装置の種類を識別するための識別回路手段と、

それぞれの並列終端を各データ問合せ線の端に結合するためにビット・スイッチを活動化するための手段とを含む請求項 1 2 に記載のデータ記憶システム。

【請求項 1 5】前記識別回路手段が、比較器回路である、請求項 1 4 に記載のデータ記憶システム。

【請求項 1 6】前記メモリ・コントローラ内の前記識別回路手段が、D D R D I M M が前記メモリに挿入されていることがわかった時に、ストロープ線を介して前記終端にスイッチ活動化パルスも送る、請求項 1 4 に記載のデータ記憶システム。

【請求項 1 7】前記 D I M M が、シリアル・プレゼンス・デテクト (S P D) 識別手段を設けられる、請求項 1 4 に記載のデータ記憶システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、全般的には、データ・バスを介してデータ記憶メモリ・デバイスにアクセス（読取または書込もしくはその両方）する電子データ記憶システムに関し、具体的には、システム内で使用されるメモリ記憶デバイスの要求に応じて選択的に終端されるか開放端とすることのできるデータ・バスを介して異なる種類のデータ記憶デバイスにアクセスすることのできる電子データ記憶システムと、そのような電子データ記憶システムを動作させる方法に関する。

【0002】

【従来の技術】コンピュータ、ワーク・ステーション、サーバおよび他のそのようなシステムを、本明細書では

システムと総称するが、これらのシステムでは、メモリ・モジュールなどの多数のデータ記憶メモリ・ユニットが使用される。各モジュールには、通常は、アクセスできるすなわち、そこに書き込まれるビットにデータを書き込み、そこからデータを読み取ることができる、複数の個々の記憶ビットが含まれる。これは、各モジュール内の個々のデータ記憶ビットをメモリ・コントローラに結合する複数のデータ問合せ線を含むデータ・バスを介して、モジュール内の個々の記憶ビットに結合されたメモリ・コントローラを介してプロセッサによって達成される。コンピュータおよびそこで使用されるプログラムのサイズと複雑さが増大するにつれて、よりよく高速の性能すなわち、高速の読取と書込に対する産業界の需要は、プロセッサ、メモリ・コントローラおよびメモリ・モジュールの複数の異なる世代の作成によって満たされてきた。

【0003】複数の個々のメモリ・ユニットから形成されるメモリ・モジュールは、多数の変化をこうむってきた。現在そのようなシステムで使用されているモジュールは、通常は、一般に D I M M (Dual Inline Memory Module) と呼ばれ、本明細書でもそのように呼称する二重インライン・メモリ・モジュールであり、これらは、互いに接続され、データ・ネットを形成するためにデータ問合せ線を介してメモリ・コントローラに結合される。現在市場で入手可能な D I M M は、通常は 168 ピン、64 ビット・モジュールであり、シングル・データ・レート 3 . 3 V トランジスタ・トランジスタ・ロジック (3 . 3 V T T L) または 3 . 3 V 相補形金属酸化膜半導体 (3 . 3 V C M O S) レシーバおよびドライバであり、本明細書では、これらを 3 . 3 V D I M M と総称する。これらの 3 . 3 V D I M M は、通常は、終端なしのデータ・バスすなわち、開放端データ・バスまたは非終端データ・バスに接続される。したがって、モジュール内の個々の記憶ビットとメモリ・コントローラ間のデータ・バス内のデータ問合せ線のそれぞれは、一般に、開放端または非終端である。

【0004】プロセッサも改良され、その速度は大幅に向上した。しかし、プロセッサ速度のこの向上は、可能な最高速のシステム速度をもたらさなかった。というのは、3 . 3 V D I M M を挿入されたシステム・メモリに対するメモリ・アクセス速度が、プロセッサからのフロントサイド・バス速度に制限されているからである。最大の性能のために、システムのメイン・メモリは、フロントサイド・バス・クロック速度より高い速度で動作しなければならない。というのは、システムの追加の構成要素も、メモリ・システム・アクセス速度を制限するか、これによって制限される可能性があるからである。メモリ・アクセス速度が低いと、高速のプロセッサ速度を実現できず、したがって、これが深刻なボトルネックになる。このボトルネックを除去するために、現在、メ

メモリ・クロック速度より高速でプロセッサにデータを供給することができる新しいDIMMモジュールを使用する解決策が提案されている。これらのDIMMは、ダブル・データ・レート(Double Data Rate(DDR)) DIMMおよびクアドラプル・データ・レート(Quadruple Data Rate(QDR)) DIMMとして既知である。本発明は、これらの新しいDIMMのいずれとも共に使用することができるので、以下では、これらをDDR(Double Data Rate) DIMMと総称する。

【0005】DDR DIMMは、3.3V DIMMが必要とするものより低い電圧(通常は2.5V)を必要とし、分岐接続ネットに配置された時には、シングル・エンド終端またはダブル・エンド終端のデータ・バスも必要とする。したがって、DDR DIMMは、開放端または非終端のデータ・バスを使用する古い3.3Vシステムとの互換性がない。そのようなDDR DIMMを使用することのできる新しいシステムは、現在開発されつつある。これらの新しいシステムは、これらのDDR DIMMを挿入された時に、3.3V DIMMを使用するシステムの少なくとも2倍のメモリ・アクセス速度を有し、これによって、システム性能およびシステム速度を高める。

【0006】これらの新しいダブル・データ・レート(DDR)システムと古い低電圧システムは、すべてがDIMMを使用するが、新しいDDR DIMMはデータ・バス終端と低電圧を必要とするので、DDR DIMM用に設計された新しいシステムで古い3.3V DIMMを使用することができなくなる。

【0007】コンピュータに対するさまざまな要求があるので、新しいシステムを導入する時には、製造業者は、顧客の基礎を維持するために、新しいシステムを導入すると同時に、古いシステムの製造を継続しなければならない。このため、製造業者は、新しいシステムと古いシステムの両方を供給するために、異なる部品を蓄えておく必要がある。このため、必要な部品の数が増え、これは、在庫、流通の問題を意味し、システムの組立での人的誤りの可能性も高まる。さらに、複数の部品は、特に類似している時に、最初のコンピュータの製造中と現場でのコンピュータの修理中の両方で混乱を引き起こす可能性がある。

【0008】さらに、これらの古いメモリへの大量の投資に起因して、多数のユーザは、新しいシステムにグレードアップする時に、グレードアップしようとしている新しいシステムで古いメモリが使用可能であることを要求する。

【0009】さらに、新しい改良されたDDR DIMMシステムは、通常はコストが高く、当初は、必要な量を手に入れない可能性がある。古い技術と新しい技術の両方に適応できるシステムを提供することによって、顧客がコストと性能に基づいて自分のシステムのメモリ部

分を構成できるようになるので、これらの問題が軽減される。

【0010】したがって、新しいシステムは、この新しいDDRアプローチだけを使用するように構築することができるが、古い3.3V DIMMと新しいより低電圧でより高速のDDR DIMMの両方を動作させることのできるシステムの必要が存在する。このような改良されたシステムは、したがって、製造業者が、新しい技術または古い技術のいずれかの選択を含めて顧客に広範囲のシステムを提供でき、供給できるようにすると同時に、製造業者の在庫、流通および組立の問題を軽減することができる。

【0011】さらに、本発明は、製造業者が、基本システムに対するかなりの変更またはコストのかかなりの増加のいずれをも伴わずにそれを行えるようにする。

【0012】

【発明が解決しようとする課題】

【課題を解決するための手段】本発明は、この問題に対する解決策を対象とし、コンピュータ製造業者が、新しいDDR DIMMだけではなく、古く広範囲で使用され簡単に入手できる3.3V DIMMもアクセスできるすなわち、読み書きできる、データ記憶システムを構築できるようにする。

【0013】したがって、本発明は、3.3V DIMMまたはDDR DIMMのいずれかを使用することのできる改良されたシステムをもたらす。

【0014】したがって、本発明の目的は、3.3V DIMMまたはDDR DIMMのいずれかに適応することのできる単一のメモリ・システムを提供することである。これは、特に、古い(3.3V)レシーバ/ドライバ回路とダブル・レート(DDR)レシーバ/ドライバ回路の両方を有する、そのようなメモリ記憶システムで使用されるメモリ・コントローラ回路と、それに結合されたメモリ・システム内のDIMMの種類を識別するための手段と、識別されたDIMMのアクセスに必要な(3.3V)レシーバ/ドライバ回路またはダブル・レート(DDR)レシーバ/ドライバ回路のいずれかを選択するための手段と、選択されたレシーバ・ドライバ回路を識別されたDIMMに相互接続するデータ問合せ線に終端を追加または除去するための手段と、データ・インターフェース電圧レベルおよびアドレス・コマンド電圧レベルを変更するための手段とを提供することによって達成される。

【0015】したがって、本発明のもう1つの目的は、3.3V DIMMまたはDDR DIMMのいずれかにアクセスでき、DIMMのアクセスに使用されるデータ・バス上で正しい終端を提供する、単一のメモリ・システムを提供することである。

【0016】

【発明の実施の形態】ここで図1および図2を参照し

て、通常のメモリ・システムの、全般的に本発明に関する部分を説明する。図1は、通常のメモリ・システムの一部の部分的なブロック図であり、プロセッサ、クロック、メモリ・コントローラおよびデータ記憶デバイスから形成されるメモリが互いにどのように結合されるかを示す図である。図1および図2では、複数のデータ記憶デバイスすなわち、以下ではDIMMと称するデュアル・インライン・メモリ・モジュール11を含むメモリ10が示されている。これらのDIMM11のそれぞれには、従来技術で周知の通り、多数のデータ・ビットまたはビットが含まれる。メモリ10を形成するための多数のそのようなDIMMの相互接続も、当技術分野で周知であり、本明細書で説明する必要はない。メモリ10は、1つまたは複数のクロック線14を介してクロック12に結合され、アドレス・バス(ADDR)18、コマンド・バスまたは制御バス(CNTL)20および複数のデータ問合せ線を含むデータ・バス(DATA)21を介してメモリ・コントローラ16に結合される。メモリ・コントローラ16は、さらに、1つまたは複数の追加クロック線22を介してクロック12に結合され、アドレス・バス25、制御バス27およびデータ線29を介してプロセッサ23に結合され、しばしば、アドレス・バス26、制御バス28およびデータ線30を介してグラフィックス・コントローラ24に結合される。プロセッサ23は、1つまたは複数の信号線34を介してクロック12にも結合される。メモリ・コントローラ16は、さらに、アドレス・バス32および制御バス33を介して1つまたは複数の入出力バス31に結合される。

【0017】メモリ・コントローラ16には、複数のレシーバ/ドライバ回路39が含まれ、レシーバ/ドライバ回路39のそれぞれは、データ・バス21を形成するデータ問合せ線のうちのそれぞれの1つを介して、メモリ10を形成するDIMMのそれぞれのそれぞれのデータ・ビットに結合される。他のドライバ回路15は、アドレス・バス18および制御バス20上で3.3Vをセットするのに使用される。

【0018】メモリ・コントローラ16に含まれるレシーバ/ドライバ回路39の数と、データ・バス21内のデータ問合せ線の数、メモリ10内の各DIMMのデータ幅と等しい。したがって、たとえば、各DIMMが64のデータ幅を有すると仮定される場合には、64個のレシーバ/ドライバ回路と、データ・バス21内の64本のデータ問合せ線が必要になり、その結果、各データ問合せ線が、各DIMMの特定のデータ・ビット位置をそれぞれのレシーバ/ドライバ回路に相互接続するようになる。この形で、単一のDIMM内の単一のビットを、当技術分野で周知の形で読み書きすることができる。そのようなシステムの使用および設計は、当業者に周知であるから、このシステムおよびその使用および動

作のこれ以上の説明を、本明細書で提示する必要はない。

【0019】図2に、図1に示されたメモリ10が、3.3VのDIMM35、36、37および38から形成される時の配置の詳細を概略的に示す。例示のみの目的で、図2には、データ・バス21内の単一の信号データ問合せ線を介して4つのDIMM35、36、37および38だけに結合される、単一のレシーバ/ドライバ回路39aだけを有するメモリ・コントローラ16を示す。多数のこのようなDIMMが、通常はメモリ10内で使用され、システムで使用されるDIMMのデータ幅によって必要になるものと同数のレシーバ/ドライバが存在することを、当業者であれば理解するであろう。すなわち、メモリ・コントローラ16に含まれるレシーバ/ドライバ回路39の数と、データ・バス21内のデータ問合せ線の数、メモリ10内の各DIMMのデータ幅と等しい。さらに、ドライバ回路15の数は、アドレス・バス18および制御バス20のすべての信号線に所望の電圧レベルを供給するのに十分な数である。

【0020】この図2では、データ・バス21内の多数のデータ問合せ線のうちの1つにすぎない単一のデータ問合せ線21aだけが、メモリ10を形成する複数の3.3VのDIMM35、36、37および38のそれぞれの特定の記憶位置をレシーバ/ドライバ回路39aに接続することが図示されていることを明瞭に理解されたい。やはり、このようなデータ問合せ線、レシーバ/ドライバ回路、記憶ビットおよびそれらの相互接続、動作および使用は、当産業で周知であるから、これ以上の説明は不用と思われる。

【0021】この図2に示されたレシーバ/ドライバ回路39aは、それぞれのデータ問合せ線を介して問合せすなわち読取または書込が行われなければならない3.3VDIMMだけを用いて動作することのできる、従来技術(3.3V)のレシーバ/ドライバである。そのようなデータ問合せ線のそれぞれの、そのソースまたは近端すなわち、レシーバ/ドライバに隣接する端で、それぞれのレシーバ/ドライバ回路に接続され、他端または遠端すなわちレシーバ/ドライバから離れた端で、各DIMMの特定のデータ・ビットに接続される。この図2では、データ問合せ線が、ソース端並列終端も遠端並列終端も有しないことに留意されたい。ドライバ回路15も、アドレス・バス18および制御バス20に3.3Vを供給することだけができる(3.3V)ドライバ回路である。

【0022】図3は、図1のメモリ・コントローラ16およびデータ・バス21の両方を、メモリ・システムがDDR DIMMを使用できるようにするためにどのように変更しなければならないかを示すブロック図である。上で述べたように、DDR DIMMは、分岐接続ネットワークでは、データ問合せ線が両端で終端されることを必

要とする。すなわち、データ問合せ線のそれぞれは、そのソース端または近端と、その遠端または端末端で終端を設けられなければならない。

【0023】これらの終端は、下で述べるように、異なる配置および組合せを仮定することができる。たとえば、図6に、メモリ・コントローラ16と複数のDIMM71、72、73および74の間に結合され、抵抗49として図示されたソース直列終端を設けられたデータ問合せ線70を示す。図7に、メモリ・コントローラ16と複数のDIMM71、72、73および74の間に結合され、抵抗63として図示された、データ問合せ線70を電圧 V_{TT} に結合する遠端並列終端を設けられたデータ問合せ線70を示す。図8に、メモリ・コントローラ16と複数のDIMM71、72、73および74の間に結合され、抵抗65として図示された、データ問合せ線70を電圧 V_{TT} に結合するソース並列終端と、抵抗63として図示された、やはりデータ問合せ線70を電圧 V_{TT} に結合する遠端並列終端とを設けられたデータ問合せ線70を示す。

【0024】これらのさまざまな終端を、実際の構成ではさらに組み合わせることができることを理解されたい。たとえば、DIMMの速度が、データ問合せ線のソース端のソース直列終端と遠端並列終端を設けることを必要とするか、直列および並列の両方のソース終端および遠端並列終端を必要とする場合がある。

【0025】やはり、上で述べたように、メモリ・コントローラ16のレシーバ/ドライバ回路の数と、データ・バス21のデータ問合せ線の数、各DIMMのデータ幅と等しくなければならず、アドレス・バス18および制御バス20に印加される電圧またはインターフェース・レベルは、3.3V DIMMによって要求される3.3Vより低いすなわち、2.5Vでなければならないことを想起されたい。したがって、図3のコントローラ16aは、2.5Vのアドレス・バスおよび制御バス・ドライバ15aとDDRレシーバ/ドライバ39bと共に図示されている。やはり、説明を明瞭にし、例示を簡単にするだけの目的で、図3には、単一のデータ問合せ線21bを介して、メモリ10に挿入される複数のDDR DIMM41、42、43および44に結合される、単一のDDRレシーバ/ドライバ39bのみと共にメモリ・コントローラ16が図示されている。DDR DIMMは、終端されたデータ問合せ線を必要とするので、DDRレシーバ/ドライバ39bは、その近端またはソース端でデータ問合せ線21bを終端する直列抵抗45と、その遠端でデータ問合せ線21bを終端する、データ問合せ線21bと電圧 V_{TT} の間に結合された並列抵抗46を設けられた、DDRレシーバ/ドライバである。

【0026】直列ソース抵抗45は、DDRレシーバ/ドライバ39b内で設計し、その一部として含めること

ができることに留意されたい。遠端の並列抵抗46は、DDR DIMMだけが必要とするので、また、DDR DIMM電圧インターフェースは、少ない振幅すなわち、3.3V DIMMインターフェースが必要とする3.3Vに対して2.5Vであるので、DDR DIMMは、3.3V DIMMより低電圧のデバイスであるから、3.3V DIMMとそれに関連する3.3Vレシーバ/ドライバおよびバス・ドライバを、DDR DIMMおよびそれに関連するDDRレシーバ/ドライバおよびバス・ドライバと交換または置換することはできず、その逆も同様である。また、前に述べたように、アドレス・バス18および制御バス20の電圧レベルをセットするアドレス・バスおよび制御バス・ドライバ15aは、従来技術の3.3V DIMM回路が必要とする3.3Vより低い電圧である2.5Vを供給しなければならない。

【0027】この交換可能性の欠如が、上で述べた在庫、流通および他の問題を引き起こし、システム製造業者が、新しいDDRシステムを導入すると同時に古い3.3Vシステムの製造を継続することを必要とする。

【0028】本発明は、これらの障害を終わらせ、上で述べた問題を解決する解決策を提供する。本発明は、同一のデータ・バスを介して3.3V DIMMとDDR DIMMの両方にアクセスすることができる独自の電子データ記憶システムを提供することによってこれを達成する。本発明は、メモリが3.3V DIMMまたはDDR DIMMのいずれかを使用できるように、必要に応じて自動的に変更することのできるデータ問合せ線と共に、3.3V DIMMまたはDDR DIMMのいずれかに適合することのできる独自のメモリ・コントローラを使用することによってこれを達成する。本発明では、データ問合せ線に、たやすく簡単に自動的に変更された終端または終端の除去を提供でき、これによって、メモリ10に、データ問合せ線が遠端の終端を有しないことを必要とする3.3V DIMMまたは、データ問合せ線の遠端に並列終端が設けられることを必要とするDDR DIMMのいずれかを挿入できるようにする。

【0029】本発明を、図4に具体的に示す。この図4は、3.3V DIMMレシーバ/ドライバ回路とDDR DIMMレシーバ/ドライバ回路の両方と、メモリ10に結合され、それぞれ終端ボード67および68に結合されるデータ問合せ線50および51から形成されるデータ・バスと共に、異なる電圧レベルにセットすることができるアドレス・バス・ドライバおよび制御バス・ドライバを含む独自のメモリ・コントローラ16bのブロック図を示す図である。別々の終端ボードが必要ではないことに留意されたい。その代わりに、終端ボード67および68の要素を、たとえば、メモリ・ボードを担持するシステム・ボードに直接に取り付けることが

できる。このメモリ・コントローラ 16b を、図 1 に示されたメモリ・コントローラ 16 と置換し、メモリ 10 に終端ボード 67 および 68 を追加することによって、図 1 のシステムを、新しい DDR DIMM ならびに古い 3.3V DIMM と共に動作するようにすることができる。

【0030】この図 4 に示された独自のメモリ・コントローラ 16b は、2.5V と 3.3V の両方の電圧レベルを供給するようにセットすることができるドライバ 94 と、それぞれが 3.3V レシーバ/ドライバ回路と DDR レシーバ/ドライバ回路を含むレシーバ/ドライバ・セット 75 および 76 と、メモリに挿入された DIMM の種類を識別するための DIMM 識別回路手段 77 と、システム・データ・バスを構成するデータ問合せ線に末端終端を結合するために終端ボード 67 および 68 を活動化するためのストロブ手段とを備える。

【0031】DIMM 識別回路手段 77 は、DIMM が活動化された時に DIMM からの識別信号を認識するための比較器回路のように単純なものとすることができる。DIMM 識別回路手段 77 は、メモリ 10 に挿入された DIMM の種類を識別し、DDR DIMM がメモリ 10 に挿入されていることがわかった時に、ストロブ線 78 を介して終端ボード 67 および 68 にスイッチ活動化パルスを送るために、メモリ・コントローラ 16b 内に設けられる。DIMM は、3.3V DIMM であれ DDR DIMM であれ、製造時に各 DIMM に組み込まれる、シリアル・プレゼンス・デテクト (Serial Presence detects、SPD) とも称するプログラム可能読取専用メモリ (PROM) 回路などの識別手段を設けられる。この PROM には、3.3V DIMM または DDR DIMM のいずれかとして DIMM を識別するコードが書き込まれる。したがって、メモリ 10 に挿入される DIMM は、DIMM 識別回路手段 77 に対してその種類すなわち 3.3V DIMM または DDR DIMM を識別するようにすることができる。このような PROM の読み書きに適した多数の回路が、広く知られており、当業者が簡単に入手できるので、これ以上の説明は不要と見なされる。メモリ・コントローラがその電圧を 3.3V DIMM または DDR DIMM のいずれかが必要とするレベルに調整できるようにするための他の技法が、既知であり、当業者が簡単に入手できるので、これ以上の説明は不要と見なされる。

【0032】やはり、メモリ・コントローラ 16 内のレシーバ/ドライバ回路の数は、メモリ 10 に挿入された DIMM 52、53、54 および 55 のそれぞれのデータ幅と同一でなければならず、したがって、メモリ 10 に挿入された DIMM 52、53、54 および 55 のそれぞれが、64 データ・ビットを有すると仮定される場合には、各 DIMM の全ビットを問い合わせるために 64 組のレシーバ/ドライバ回路が必要になり、レシーバ

／ドライバ回路の各組は、3.3V レシーバ/ドライバ回路と DDR レシーバ/ドライバ回路を含むので、現在の例では、メモリ・コントローラ 16 が、合計 128 個のレシーバ/ドライバ回路を結合されることになることに留意されたい。また、ドライバ 94 は、アドレス・バス 18 および制御バス 20 に所望の電圧レベルを供給するのに十分な数でなければならない。

【0033】しかし、本発明の図面と説明の両方をわかりやすくするために、メモリ・コントローラ 16b は、この図 4 では、2 組のレシーバ/ドライバ・セット 75 および 76 だけを有する状態で図示されている。レシーバ/ドライバ・セット 75 および 76 のそれぞれは、1 つの 3.3V レシーバ/ドライバと 1 つの DDR レシーバ/ドライバから形成される。したがって、レシーバ/ドライバ・セット 75 は、3.3V レシーバ/ドライバ 80 と DDR レシーバ/ドライバ 81 から形成され、レシーバ/ドライバ・セット 76 は、3.3V レシーバ/ドライバ 82 と DDR レシーバ/ドライバ 83 から形成される。

【0034】この配置は、当業者に簡単に明白になる多数の可能な配置のうちの 1 つにすぎないことに留意されたい。

【0035】3.3V レシーバ/ドライバ 80 および 82 のそれぞれは、それぞれの選択回路 84 および 85 の第 1 入力にそれぞれ結合されるそれぞれの出力 80a および 82a を有する。DDR レシーバ/ドライバ 81 および 83 のそれぞれは、それぞれのソース終端 86 および 87 を介してそれぞれの出力 81a および 83a に接続され、出力 81a および 83a は、それぞれ選択回路 84 および 85 の第 2 入力に結合される。これらの選択回路 84 および 85 の出力は、それぞれのデータ問合せ線 50 および 51 を介して、メモリ 10 に挿入された DIMM 52、53、54 および 55 のそれぞれのビット・データ・ビットに接続される。

【0036】上で説明したアプローチは、本発明を実施するための可能な方法の 1 つにすぎず、異なる回路および他の実施態様が、当業者には簡単に明白になることに留意されたい。

【0037】選択回路 84 および 85 は、たとえば、複数の入力のうちの選択された 1 つの入力だけをその出力に渡す、マルチプレクサ (MUX) または OR 回路または他の適当な回路とすることができる。選択回路 84 および 85 のそれぞれの出力は、それぞれのデータ問合せ線 50 および 51 を介して、メモリ 10 に挿入された DIMM 52、53、54 および 55 のそれぞれの選択された記憶ビット位置と、それぞれの終端ボード 67 および 68 に接続される。

【0038】本発明は、データ・バス 21 を形成する各データ問合せ線が、それによって終端を制御可能に追加され除去されることができ、メモリ・コントローラ内の

レシーバ／ドライバ回路の各組について1つのデータ線だけが必要になるようにする手段を提供する。したがって、図では、データ問合せ線50および51は、それぞれの終端ボード67および68に担持されたそれぞれのビット・スイッチ88および89と、各DIMM52、53、54および55の異なる特定のビット位置に接続されている。

【0039】ビット・スイッチ88および89のそれぞれは、それぞれデータ問合せ線50および51が接続される入力電極88aおよび89aを有する。ビット・スイッチ88および89は、それぞれ遠端終端90および91を介して、通常は1.25Vだが1.4Vまでの範囲とすることができる電圧 V_{TT} に結合された電圧線92に接続される、それぞれの出力電極88bおよび89bを有する。ビット・スイッチ88および89は、さらに、各カードのビット・スイッチ88および89を開閉し、これによって、必要に応じて遠端終端90および91をデータ問合せ線に結合または結合解除するためのトグル入力88cおよび89cを設けられる。トグル入力88cおよび89cは、ストロブ線78を介してメモリ・コントローラに結合され、これによって制御される。

【0040】アドレス・バス18および制御バス20は、DDR DIMMと共に使用される時には2.5Vにセットされなければならない。3.3V DIMMが必要とする3.3Vにすることはできない。これは、メモリ・コントローラ16b内に、メモリ10に挿入されたDIMMの必要に応じて、アドレス・バス18および制御バス20に3.3Vまたは2.5Vのいずれかを供給するように簡単に設定できる、プッシュ・プル・ドライバなどのアドレス・バスと制御バスのドライバ94を設けることによって達成される。

【0041】当初は、3.3Vレシーバ／ドライバ80、DDRレシーバ／ドライバ81、3.3Vレシーバ／ドライバ82およびDDRレシーバ／ドライバ83は、すべてがオフになっており、終端ボード67および68上のビット・スイッチ88および89は、開いており、データ問合せ線50および51は、開放端すなわち、遠端並列終端なしであり、ドライバ94はオフである。システムが電源を投入された時に、メモリ・コントローラ16bは、DIMM識別回路手段77に、メモリ10内のDIMM52、53、54および55への問合せを行わせる。DIMM52、53、54および55が、それ自体を3.3V DIMMとして識別する場合には、DIMM識別回路手段77は、レシーバ／ドライバ・セット75および76のそれぞれの3.3Vレシーバ／ドライバ80および82を活動化すなわちオンにし、選択回路が、3.3Vレシーバ／ドライバ80および82を、データ問合せ線50および51を介してDIMM52、53、54および55に結合する。それと同

時に、ドライバ94は、アドレス・バス18および制御バス20に3.3Vを供給するようにセットされる。DDRレシーバ／ドライバ81および83とストロブ線78は、すべてが非活動状態またはオフのままであり、ビット・スイッチ88および89は、通常の開状態のままになる。ビット・スイッチ88および89が開なので、データ問合せ線50および51は、非終端または開放端のままになる。この形で、システムは3.3V DIMMシステムとして動作する。

【0042】しかし、システムの電源が投入された時に、DIMM識別回路手段77が、メモリ10内のDIMM52、53、54および55に問い合わせ、DIMM52、53、54および55が、それ自体をDDR DIMMとして識別する場合には、レシーバ／ドライバ・セット75および76のDDRレシーバ／ドライバ81および83が活動化すなわちオンにされ、3.3Vレシーバ／ドライバ80および82はオフのままになる。これと同時に、DIMM識別回路手段77は、ストロブ線78を介してビット・スイッチのトグル入力88cおよび89cに信号を送って、ビット・スイッチ88および89を閉じ、これによって、それぞれの遠端終端90および91を介してデータ問合せ線50および51を V_{TT} の電圧線92に接続する。それと同時に、メモリ・コントローラ16b内のメモリ・バスおよび制御バス・ドライバ94は、2.5Vレベルにセットされて、メモリ10に挿入されたDDR DIMMが必要とするその電圧レベルを、アドレス・バス18および制御バス20に供給する。したがって、データ・バス内のすべてのデータ問合せ線が、終端され、データ、アドレスおよびコマンドのインターフェースすなわち電圧レベルが、システムがDDR DIMMシステムとして動作するのに必要な電圧または状態にセットされる。

【0043】したがって、図1のシステム内で、変更されたメモリ・コントローラ16bを設け、データ問合せ線の遠端に並列終端を結合し、データ、アドレスおよび制御（またはコマンド）線上の電圧を変更するための手段を設けることによって、本発明は、データ記憶装置に、データ問合せ線が開放端すなわち終端なしであることを必要とするモジュールまたはデータ・バスが終端されることを必要とするモジュールのいずれかを挿入することができる記憶システムを提供する。

【0044】したがって、本発明は、遠端を終端されたデータ問合せ線を必要としない3.3V DIMMまたは、遠端を終端されたデータ問合せ線を必要とするDDR DIMMを挿入することのできるデータ記憶メモリ・システムを提供する。

【0045】図5は、図4に示されたものと実質的に同一であるが、さらにソース端並列終端が設けられている、本発明のブロック図である。この図5の動作は、上で述べた図4の動作と同一であり、したがって、その動

作の詳細をここで繰り返す必要はない。図 5 は、特に、ソース端直列終端であるソース終端 86 および 87 と、ソース端並列終端 98 および 99 を設けられた DDR レシーバ/ドライバ 81 および 83 を示す図である。図 5 に示されたこの回路は、したがって、メモリ 10 に挿入された DDR DIMM が、関連するデータ問合せ線 50 および 51 の両端が並列終端に結合されることを必要とする時に使用することができる。

【0046】したがって、終端を選択的に提供することができ、これによって、データ問合せ線が開放端すなわち終端なしであることを必要とするモジュールまたはデータ・バスが終端されることを必要とするモジュールのいずれかをデータ記憶装置に挿入することを可能にするデータ・バスを介してシステム内のデータ記憶装置に結合される異なるドライバ/レシーバ回路を設けられた電子データ記憶システムを説明した。

【0047】これによって、本発明の好ましい実施例の説明を終える。

【0048】まとめとして、本発明の構成に関して以下の事項を開示する。

【0049】(1) データ・バスを介してデータ記憶メモリ・デバイスにアクセスするためのデータ記憶システムであって、メモリ記憶装置と、前記メモリ記憶装置を挿入された複数のデータ記憶装置と、メモリ・コントローラと、前記メモリ・コントローラを前記データ記憶装置に結合する複数のデータ問合せ線を含むデータ・バスと、複数のデータ線終端と、前記メモリ記憶装置を挿入された前記データ記憶装置が必要とする時に前記データ問合せ線のうちのそれぞれの 1 つに前記終端のそれぞれの 1 つを選択的に適用するために前記メモリ・コントローラに結合された手段とを含むデータ記憶システム。

(2) 前記終端が前記データ問合せ線に結合される時に、前記データ問合せ線の電圧レベルを変更するために、前記データ問合せ線のそれぞれの 1 つに結合された前記終端に結合された電圧手段をさらに設けられる、上記 (1) に記載のデータ記憶システム。

(3) 前記メモリ・コントローラを前記データ記憶装置に結合するアドレス・バスおよびコマンド・バスと、前記データ・バス、アドレス・バスおよびコマンド・バスの電圧レベルを変更するための手段とをさらに設けられる、上記 (1) に記載のデータ記憶システム。

(4) 前記メモリ・コントローラが、複数のレシーバ/ドライバ回路の組と、前記データ記憶システム内のビット記憶デバイスの種類を判定するための手段とを結合される上記 (3) に記載のデータ記憶システム。

(5) 前記レシーバ/ドライバ回路の各組が、1 組のレシーバ/ドライバ回路を含み、前記組の一方のレシーバ/ドライバ回路が、3.3V DIMM と共に動作するために設計され、前記組の他方のレシーバ/ドライバ回路が、DDR DIMM と共に動作するために設計され

る上記 (4) に記載のデータ記憶システム。

(6) 各データ問合せ線が、前記データ記憶システム内のそれぞれのビット記憶デバイスと、選択回路を介してレシーバ/ドライバ回路のそれぞれの組と、スイッチを介して並列線終端とに結合される上記 (4) に記載のデータ記憶システム。

(7) 前記レシーバ/ドライバ回路の各組が、選択回路を介してそれぞれのデータ問合せ線に結合される上記 (5) に記載のデータ記憶システム。

(8) 各選択回路が、マルチプレクサである上記 (7) に記載のデータ記憶システム。

(9) 各選択回路が、比較器である上記 (7) に記載のデータ記憶システム。

(10) 前記メモリ・コントローラが、データ問合せ線を介して前記メモリに結合された、複数の低電圧レシーバ/ドライバ回路およびダブル・レート・レシーバ/ドライバ回路の両方と、前記メモリ内の DIMM の種類を識別するための手段と、前記識別された DIMM にアクセスするために、低電圧レシーバ/ドライバ回路またはダブル・レート・レシーバ/ドライバ回路のいずれかを選択するための手段と、前記選択されたレシーバ・ドライバ回路を識別された DIMM に相互接続する前記データ問合せ線に、前記識別された DIMM が終端を必要とする時に、終端を追加または除去するための手段とを含む上記 (3) に記載のデータ記憶システム。

(11) データ・バスを介してデータ記憶メモリ・デバイスにアクセスするためのデータ記憶システムであって、メモリ記憶装置と、選択されたデータ・インターフェース電圧レベルを有し、前記メモリ記憶装置を挿入された複数のデータ記憶装置と、メモリ・コントローラと、複数の並列終端と、前記メモリ・コントローラに結合された複数のレシーバ/ドライバ回路と、前記レシーバ/ドライバ回路と前記データ記憶装置との間に結合された複数のデータ問合せ線を含むデータ・バスと、近端をそれぞれのレシーバ・ドライバに結合され、遠端を前記データ記憶装置に結合された、前記複数のデータ問合せ線のデータ問合せ線のそれぞれと、終端が前記メモリ記憶装置を挿入された前記メモリ記憶装置によって要求された時に、前記データ問合せ線のそれぞれの遠端にそれぞれの並列終端を選択的に適用するために前記メモリ・コントローラに結合された手段とを含むデータ記憶システム。

(12) 複数のデータ記憶メモリ・モジュールからなるメモリと、メモリ・コントローラと、前記データ記憶モジュールと前記メモリ・コントローラとの間に結合された複数のデータ問合せ線からなるデータ・バスと、前記データ問合せ線に終端を選択的に提供し、これによって、前記データ記憶メモリ・モジュールが、前記データ問合せ線が開放端であることを必要とするモジュールまたは前記データ・バスが終端されることを必要とするモ

ジュールのいずれかを使用することを可能にするための手段とを含むデータ記憶システム。

(13) 前記メモリ・コントローラが、レシーバ／ドライバ回路の複数の組を含み、レシーバ／ドライバ回路の各組が、第1のレシーバ／ドライバ回路と第2のレシーバ／ドライバ回路とを含み、前記メモリ・コントローラが、前記データ記憶システム内でそれに結合されたDIMMの種類を識別するための手段と、前記識別されたDIMMへのアクセスのために必要な、レシーバ／ドライバ回路の各組の前記第1のレシーバ／ドライバ回路またはレシーバ／ドライバ回路の各組の前記第2のレシーバ／ドライバ回路のいずれかを選択するための、レシーバ／ドライバ回路の各組に結合された手段と、前記データ問合せ線上の終端を必要とする記憶装置に前記データ記憶システムがアクセスできるようにするために、前記データ問合せ線に終端を追加するための手段とを含む上記(11)に記載のデータ記憶システム。

(14) 前記メモリ・コントローラが、さらに、前記メモリに結合された、アドレス・バスおよび制御バスと、異なる電圧レベルにセットすることのできるアドレス・バスおよび制御バス・ドライバと、各組が3.3V DIMMレシーバ／ドライバおよびDDR DIMMレシーバ／ドライバを含むレシーバ／ドライバ回路の組と、前記メモリに挿入された記憶装置の種類を識別するための識別回路手段と、それぞれの並列終端を各データ問合せ線の端に結合するためにビット・スイッチを活動化するための手段とを含む上記(12)に記載のデータ記憶システム。

(15) 前記識別回路手段が、比較器回路である、上記(14)に記載のデータ記憶システム。

(16) 前記メモリ・コントローラ内の前記識別回路手段が、DDR DIMMが前記メモリに挿入されていることがわかった時に、ストロブ線を介して前記終端にスイッチ活動化パルスも送る、上記(14)に記載のデータ記憶システム。

(17) 前記DIMMが、シリアル・プレゼンス・デテクト(SPD)識別手段を設けられる、上記(14)に記載のデータ記憶システム。

【図面の簡単な説明】

【図1】通常、システム内でプロセッサ、メモリ・コントローラおよびメモリがどのように配置されるかを示すブロック図である。

【図2】メモリ・コントローラ、3.3V DIMMを挿入されたメモリおよび相互接続するデータ問合せ線を示す、図1の部分のより詳細なブロック図である。

【図3】メモリ・コントローラ、DDR DIMMを挿

入されたメモリおよび相互接続するデータ問合せ線を示す、図1の部分のより詳細なブロック図である。

【図4】DDR DIMMまたは3.3V DIMMのいずれかを挿入されたメモリと共にコントローラを使用できるように、遠端並列終端に結合するか結合を解除することのできるデータ問合せ線と、それに関連するソース直列終端とを設けられた、3.3Vレシーバ／ドライバ回路とDDRレシーバ／ドライバ回路の両方を有する改良されたメモリ・コントローラを示す、本発明のブロック図である。

【図5】DDR DIMMまたは3.3V DIMMのいずれかを挿入されたメモリと共にコントローラを使用できるように、遠端並列終端と結合するか結合を解除することのできるデータ問合せ線と、それに関連するソース端並列終端とを設けられたDDRレシーバ／ドライバ回路を有する、図4の改良されたメモリ・コントローラを示す、本発明のブロック図である。

【図6】ソース直列終端を有するデータ問合せ線のブロック図である。

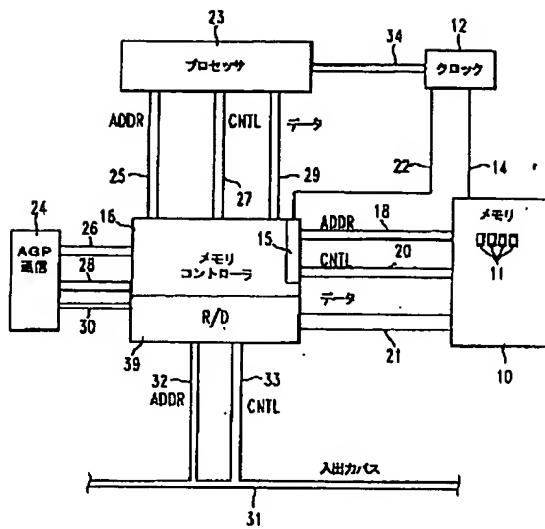
【図7】遠端並列終端を有するデータ問合せ線のブロック図である。

【図8】ソース並列終端と遠端並列終端を有するデータ問合せ線のブロック図である。

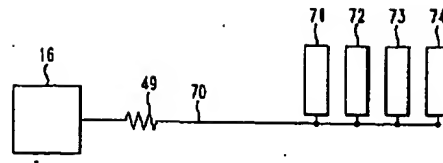
【符号の説明】

- 10 メモリ
- 16b メモリ・コントローラ
- 18 アドレス・バス
- 20 制御バス
- 50 データ問合せ線
- 52 DIMM
- 53 DIMM
- 54 DIMM
- 55 DIMM
- 67 終端ボード
- 75 レシーバ／ドライバ・セット
- 77 DIMM識別回路手段
- 78 ストロブ線
- 80 3.3Vレシーバ／ドライバ
- 81 DDRレシーバ／ドライバ
- 84 選択回路
- 86 ソース終端
- 88 ビット・スイッチ
- 90 遠端終端
- 92 電圧線
- 94 ドライバ

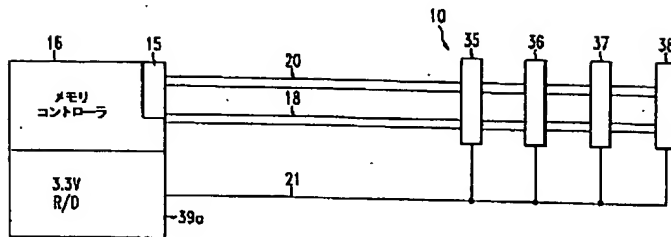
【図 1】



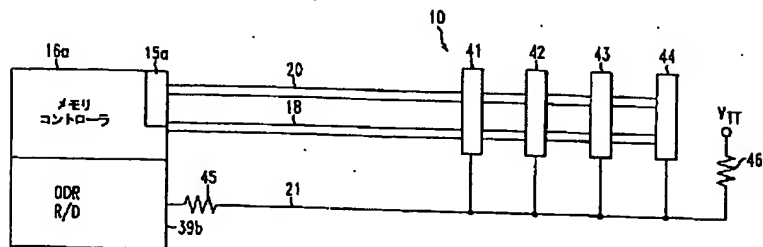
【図 6】



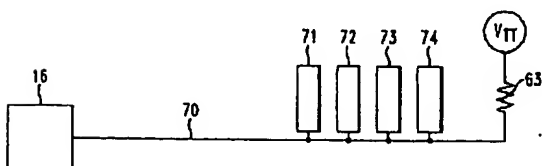
【図 2】



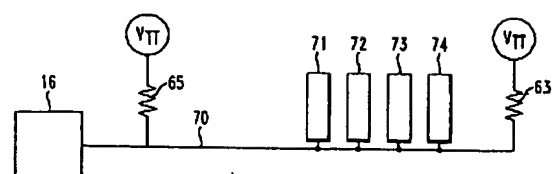
【図 3】



【図 7】



【図 8】



The diagram shows a memory array with two rows of memory cells. Each row has a 3.3V R/D (80, 82) and a DDR R/D (81, 83). The array is connected to word lines 52-55 and bit lines 78 and 79. Sense amplifiers 67 and 68 are connected to the bit lines. The array is also connected to a 3.3V R/D (80) and a DDR R/D (81) through a 3.3V R/D (80) and a DDR R/D (81).

(72)発明者 スチーブン・エイ・グランドン
アメリカ合衆国05465 バーモント州ジェ
リコ フットヒルズ・ドライブ77

(72) 発明者 マーク・ダブリュー・ケロッグ
アメリカ合衆国05452 パーモント州エセ
ックス・ジャンクション コージュロイ・
ロード29